

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-251209

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

G11B 5/09

(21)Application number : 2000-048610

(71)Applicant : STMICROELECTRONICS INC

(22)Date of filing : 25.02.2000

(72)Inventor : PAKRISWAMY ELANGO

(30)Priority

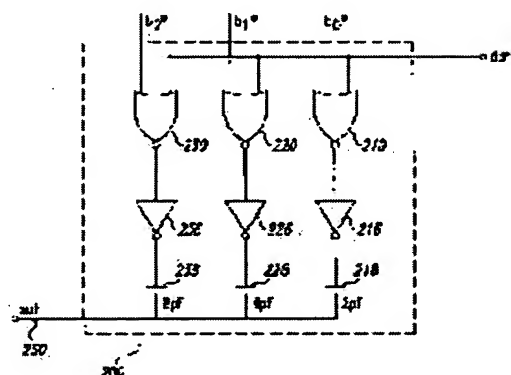
Priority number : 99 258100 Priority date : 25.02.1999 Priority country : US

## (54) METHOD AND DEVICE FOR DRIVING COIL OF MAGNETIC WRITE HEAD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a circuit and the method which speedily drive the H-bridge circuit of a disk drive.

SOLUTION: An H-bridge circuit 100 is provided with NMOS transistors(TR) as both upper and lower couples of TRs. An induction head is coupled between the terminals of the TRs. When a logical signal has been received, one of the upper TRs 125 and 165 is driven. The selected upper TRs 125 and 165 to be driven respond to the logical signal. The corresponding lower TRs 145 and 185 are also driven to make a current flow in a 1st direction through the induction head. The driving circuit for the lower TRs 145 and 185 has a programmable circuit, which is constituted by capacitively coupling the output terminal of the driving circuit with a pull-up voltage so as to maximize the quantity of the current forcibly made to flow through the induction head for optimum data transfer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-251209

(P2000-251209A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl.

G 1 1 B 5/09

識別記号

3 1 1

F I

G 1 1 B 5/09

テーマコード(参考)

3 1 1 B

審査請求 未請求 請求項の数24 OL (全 11 頁)

(21)出願番号 特願2000-48610(P2000-48610)

(22)出願日 平成12年2月25日(2000.2.25)

(31)優先権主張番号 09/258100

(32)優先日 平成11年2月25日(1999.2.25)

(33)優先権主張国 米国(US)

(71)出願人 591236448

エスティーマイクロエレクトロニクス、  
インコーポレイテッド

STMicroelectronics,  
Inc

アメリカ合衆国, テキサス 75006,  
カーロルトン, エレクトロニクス ドラ  
イブ 1310

(72)発明者 エランゴ バクリスワミー

アメリカ合衆国, カリフォルニア  
95051, サンタ クララ, ハルフォー  
ード アベニュー 1901, ナンバー 102

(74)代理人 100057793

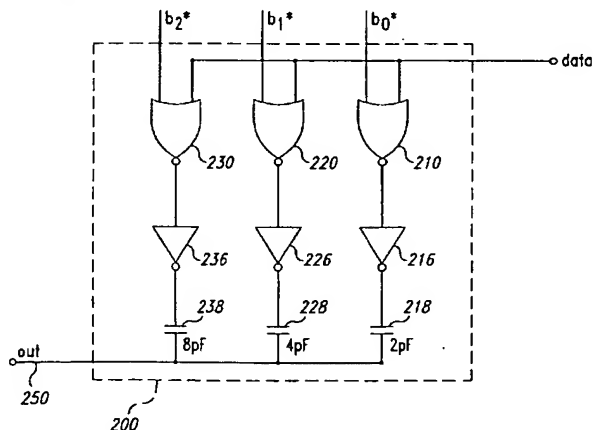
弁理士 小橋 一男 (外1名)

(54)【発明の名称】 磁気書込ヘッドのコイルを駆動する方法及び装置

(57)【要約】

【課題】 ディスクドライブにおけるHブリッジ回路を迅速に駆動する回路及び方法を提供する。

【解決手段】 Hブリッジ回路は上側及び下側の組のトランジスタの両方にNMOSトランジスタを使用している。誘導ヘッドがトランジスタの端子の間に結合されている。論理信号が受取られると、上側トランジスタのうちの1つが駆動される。駆動すべく選択された上側のトランジスタは該論理信号に応答する。対応する下側トランジスタも駆動され、誘導ヘッドを介して第一方向に電流を流させる。下側トランジスタの駆動回路はプログラム可能な回路を有しており、それは駆動回路の出力端をプルアップ電圧へ容量的に結合させ、それにより誘導ヘッドを介して強制的に流される電流の量を最適なデータ転送のために最大なものとするを可能とするように構成されている。



## 【特許請求の範囲】

【請求項 1】 Hブリッジ回路において、

第一ノードと第二ノードとの間に結合されている誘導性要素、

電圧源へ結合されている第一端子を具備しており且つ前記第一ノードへ結合されている第二端子を具備している第一駆動トランジスタであって、第一駆動回路によって駆動される第一駆動トランジスタ、

前記電圧源へ結合されている第一端子を具備しており且つ前記第二ノードへ結合されている第二端子を具備している第二駆動トランジスタであって、第二ドライブによって駆動される第二駆動トランジスタ、

前記第一ノードへ結合している第一端子を具備しており且つ基準電圧へ結合されている第二端子を具備している第三駆動トランジスタであって第三ドライブ回路によって駆動される第三駆動トランジスタ、

前記第二ノードへ結合されている第一端子を具備しており且つ前記基準電圧へ結合されている第二端子を具備している第四駆動トランジスタであって第四ドライブ回路によって駆動される第四駆動トランジスタ、

前記駆動回路のうちの 1 つへ結合されているプログラム可能電圧プルアップ回路、を有していることを特徴とする Hブリッジ回路。

【請求項 2】 請求項 1 において、前記プログラム可能電圧プルアップ回路が、各々が独立的に選択可能な複数個の論理ゲート、各々が前記論理ゲートのうちの夫々の 1 つの出力端へ結合している複数個のコンデンサ、前記複数個のコンデンサへ結合している回路出力端、を有していることを特徴とする Hブリッジ回路。

【請求項 3】 請求項 2 において、前記論理ゲートの各々が前記プログラム可能プルアップ回路によって受取られるプログラミング信号に応答して選択可能であることを特徴とする Hブリッジ回路。

【請求項 4】 請求項 2 において、前記コンデンサの容量値が二進重み付けで互いに関連していることを特徴とする Hブリッジ回路。

【請求項 5】 請求項 2 において、前記論理ゲートが NOR ゲートを有していることを特徴とする Hブリッジ回路。

【請求項 6】 請求項 5 において、前記 NOR ゲートの各々がインバータへ結合されており、前記インバータの出力端は前記コンデンサのうちの夫々の 1 つへ結合していることを特徴とする Hブリッジ回路。

【請求項 7】 請求項 2 において、前記プログラミング信号を作成するために使用されるコードが ROM メモリ内に格納されていることを特徴する Hブリッジ回路。

【請求項 8】 請求項 2 において前記論理ゲートがイネーブル信号を受取ることによって選択され、且つイネーブルされた論理ゲートへ結合されているコンデンサは、データ信号を受取ると前記回路出力端をプルアップ電圧

へ結合させるべく構成されていることを特徴とする Hブリッジ回路。

【請求項 9】 ディスクドライブにおいて、プログラミング信号を発生するために使用されるデータを格納するための ROM メモリ、

バスからの信号を受取るためのマイクロプロセサ、前記マイクロプロセサへ結合されている前置増幅器、前記前置増幅器へ結合されている Hブリッジ回路、を有しており、前記 Hブリッジ回路が、

10 書込ヘッド、  
ドレインを共通結合しており且つ電圧源へ結合している第一対の駆動トランジスタであって、前記書込ヘッドが前記第一対のトランジスタのソースの間に結合されており且つ前記第一対の駆動トランジスタの各々が夫々の第一ドライブ回路によって駆動される第一対の駆動トランジスタ、

20 ソースが共通結合されており且つ基準電圧へ結合されている第二対の駆動トランジスタであって、前記書込ヘッドが前記第二対のトランジスタのドレインの間に結合されており且つ前記第二対の駆動トランジスタの各々が夫々の第二ドライブ回路によって駆動される第二対の駆動トランジスタ、

前記第二ドライブ回路の各々に設けられているプログラム可能電圧ブースト回路、を有していることを特徴とするディスクドライブ。

【請求項 10】 請求項 9 において、マイクロプロセサが前記 ROM メモリを構成していることを特徴とするディスクドライブ。

30 【請求項 11】 請求項 9 において、前記プログラム可能電圧ブースト回路が、  
各々が独立的にイネーブルされる複数個の論理ゲート、各々が前記論理ゲートの夫々の 1 つの出力端へ結合されている複数個のコンデンサ、  
前記複数個のコンデンサへ結合している回路出力端、を有していることを特徴とするディスクドライブ。

【請求項 12】 請求項 11 において、前記論理ゲートの各々が前記プログラム可能電圧ブースト回路によって受取られるプログラミング信号に応答してイネーブルされるか又はイネーブルされないことを特徴とするディスクドライブ。

40 【請求項 13】 請求項 11 において、前記コンデンサの容量値が 2 の冪によって互いに関連していることを特徴とするディスクドライブ。

【請求項 14】 請求項 11 において、前記論理ゲートが NOR ゲートを有していることを特徴とするディスクドライブ。

50 【請求項 15】 請求項 14 において、前記 NOR ゲートの各々がインバータへ結合されており、前記インバータの出力端は前記コンデンサの夫々の 1 つへ結合していることを特徴とするディスクドライブ。

【請求項 16】 請求項 11において、前記論理ゲートは選択信号を受取ることによってイネーブルされ、且つ前記電圧ブースト回路は、前記論理ゲートがイネーブルされた場合に、第一タイプのデータ信号を受取ると前記回路出力端を容量的にプルアップ電圧へ結合させるべく構成されていることを特徴とするディスクドライブ。

【請求項 17】 Hブリッジ回路におけるトランジスタを駆動する回路へプルアップ電圧を供給する方法において、データ信号を受付け且つ出力端を具備している電圧プルアップ回路へイネーブル信号を供給し、前記イネーブル信号を使用して前記電圧ブースト回路内の 1 個又はそれ以上の論理ゲートを選択的にイネーブルさせ、イネーブルされた論理ゲートによって有効なデータ信号が受取られる場合に前記電圧ブースト回路の出力端をプルアップ電圧へ容量的に結合させる、ことを特徴とする方法。

【請求項 18】 請求項 17において、前記論理ゲートの各々が前記電圧ブースト回路内の他のコンデンサと異なる容量値を具備するコンデンサへ結合されていることを特徴とする方法。

【請求項 19】 請求項 18において、前記コンデンサの容量値が 2 の冪によって互いに関連付けされていることを特徴とする方法。

【請求項 20】 電圧ブースト回路をプログラミングする方法において、Hブリッジトランジスタ駆動回路に対する最適なブーストレベルを決定し、所望のレベルの電圧ブーストを与えるブーストコンデンサ用のプルアップ回路の組合せを選択し、前記電圧ブースト回路内の所望のプルアップ回路をイネーブルさせるコードを発生し、前記コードを信号へ変換し且つ前記信号を前記電圧ブースト回路へパスすべく構成されている回路によってアクセスされる非揮発性メモリ内へ前記イネーブル用のコードを格納する、ことを特徴とする方法。

【請求項 21】 請求項 20において、前記イネーブル用のコードを ROMメモリ内に格納することを特徴とする方法。

【請求項 22】 請求項 20において、前記プルアップ回路の各々がコンデンサへ結合されている論理ゲートを有していることを特徴とする方法。

【請求項 23】 請求項 20において、前記論理ゲートが NORゲートであることを特徴とする方法。

【請求項 24】 請求項 20において、前記電圧ブースト回路内のコンデンサの容量値が 2 の冪によって互いに関連付けされていることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘導性負荷を駆動する回路に関するものであって、更に詳細には、ディスクドライブ即ちディスク駆動装置の磁気書込ヘッドの誘導コイルを駆動するブリッジ回路に関するものである。

【0002】

【従来の技術】殆どのコンピュータシステムは 1 個又はそれ以上の関連するディスクドライブ即ちディスク駆動装置を有しており、それはコンピュータシステムに内蔵されるか又は外部的に設けることが可能である。典型的に、ディスクドライブは少なくとも 1 個の回転する磁気媒体及び該磁気媒体に隣接して担持される関連するヘッド機構を有している。該ヘッドは、磁気媒体上の精密な位置に情報を選択的に書込み又はそれから情報を選択的に読取るために半径方向に位置決めさせることが可能である。このようなディスクドライブは、例えば、ハードディスクドライブ、フロッピーディスクドライブ等とすることが可能である。

【0003】データは、磁気ディスク媒体上に格納すべきデジタル情報に従って、一連の信号を書込ヘッドへ印加することによって関連するデータディスクへ書込まれる。書込ヘッドはコイル及びディスク媒体に近接して位置決めされる 1 個又はそれ以上の関連するポールピース即ち極部材を有している。信号がヘッド内において磁束を変化させると、ディスクの磁気媒体の磁気ドメインが後の読取動作のために所定方向に整合される。典型的に、整合されていない磁気媒体の小さな空間が各磁気ドメイン遷移を分離し、磁気媒体上の連続する遷移を互いに区別することを可能とさせる。

【0004】ディスクはヘッドと相対的に移動するので、磁気ドメイン遷移を分離している小さな空間が十分に幅広のものでない場合には、連続する磁気遷移を区別する上で困難性に遭遇する場合があることが理解される。このことはディスク上に包含されているデータの読取においてエラーを発生する場合があり、そのことは、勿論、望ましいことではない。

【0005】一方、コンピュータが益々高速化となると、ディスク媒体へデータを書込み且つそれからデータを読取る速度を増加させることが益々重要となる。然しながら、データ信号は方形波遷移の形態にあるので、方形波の先端エッジのライズタイム即ち上昇時間が大きい場合には、磁気媒体遷移の間の小さな空間も大きくなり、そのことは正確にデータを書込み且つ読取ることが可能な実効レートを減少させる。書込ヘッド組立は少なくとも 1 個のコイルを有しているので、強制的に電流を迅速に上昇させること、又は書込ヘッド内において磁束方向を逆にさせることは困難である。

【0006】従来、このような書込信号をヘッドへ供給するために使用していたデータ書込回路は「Hブリッジ」回路の選択した脚部を介して電流を駆動するための前置増幅器回路を有しており、それは正確なデータ再生

のために比較的高速の電流の逆転を行わせることを可能とさせる。

【0007】上述したように、データレートが増加するに従い、ヘッドがデータを磁気媒体へ正確に書込むことが可能なレート即ち速度は、書込ヘッド（及びその関連するコンポーネント）の誘導コイル内の磁束を逆転することが可能な速度によって制限される。従って、最大データレートはドライバ回路の最大の物理的な磁束逆転速度へ制限される。

#### 【0008】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、ドライバコイルにおいて最大の磁束逆転速度を可能とさせる信号でディスクドライブの書込ヘッドに関連して使用されるタイプの誘導負荷を駆動する回路及び方法を提供することを目的とする。

#### 【0009】

【課題を解決するための手段】本発明の1つの側面によれば、Hブリッジ回路に使用するプログラム可能電圧ブースト回路が提供される。2個のトランジスタがそれらの間に誘導要素を具備する2つの夫々のノードへ結合されており、且つ全部で4個のトランジスタは夫々のドライバ回路によって駆動される。ドライバ回路の1つ又はそれ以上のものに結合してプログラム可能電圧ブースト回路が設けられており、それは各々が独立的にイネーブル即ち動作可能状態とされる幾つかの論理ゲートを有している。これらの論理ゲートにはコンデンサが取付けられており、該コンデンサはブースト回路出力端へ接続されている。論理ゲートがイネーブルされると、それらは該出力端を選択されたプルアップコンデンサを使用してプルアップ電圧へ向って牽引する。本発明の1実施例においては、該コンデンサは異なる値を有しており、それらの値は二進重み付けされるように選択される。

【0010】本発明の別の側面によれば、Hブリッジ回路におけるトランジスタを駆動し且つデータ及びプログラム信号入力端を具備している回路へ電圧ブーストを供給する方法が、電圧ブースト回路へイネーブル信号を供給することで開始する。次いで、該電圧ブースト回路は電圧ブースト回路内の1個又はそれ以上の論理ゲートを選択的にイネーブルさせるためにイネーブル信号を使用し且つ有効なデータ信号がイネーブルされた論理ゲートによって受取られると、電圧ブースト回路の出力端をプルアップ電圧へ容量的に結合させる。

#### 【0011】

【発明の実施の態様】本願特許出願と同日付けをもって本願出願人によって出願される別の特許出願（代理人整理番号ST663）に記載されているものと同様のタイプのブリッジ回路100の1例が図1に示されており、それは磁気書込ヘッド組立体へ書込信号を供給することが可能である。尚、上述した本願に関連する特許出願の

開示内容は引用によって本明細書に取込む。図1は磁気書込ヘッドにおけるコイル190を駆動するために使用されるブリッジ回路100を示している。コイル190はインダクタとして示してあるが、当業者によって理解されるように、該コイルは理想的なインダクタとは異なる態様で動作する。この動作は、例えば、コイル駆動トランジスタの寄生容量、コイル190及びブリッジ回路100のその他のコンポーネントにおける抵抗効果、及び種々のその他のファクタ等の影響によって発生される。又、ブリッジ回路100は、この実施例においては、磁気書込ヘッドに使用する誘導コイル190に関連して説明するが、それは、例えば、駆動モータの巻線、制動機構、又はその他の適用性のある装置として使用されるオルタネータ（発電機）等の回路100内において適切に設けられるその他のコンポーネントを駆動するために使用することも可能である。本発明は、本明細書に記載した実施例及び上にリストした例に制限されるべきものではなく、広い適用範囲を有している。

【0012】コイル190は、2個の上側トランジスタ125、165及び2個の下側トランジスタ145、185を包含する4個のブリッジトランジスタによって駆動される。ブリッジ回路100は、第一方向の磁束がコイル190によってディスク媒体に書込まれる場合に、上側トランジスタ125と下側トランジスタ185の両方が強くオンされるように構成されている。図1に示したように、このことは、コイル190を横断して左側から右側へ電流を流させる。逆に、第二方向の磁束がディスク媒体に書込まれる場合には、ブリッジ回路100は上側トランジスタ165と下側トランジスタ145をターンオンし、それによってコイル190を横断して右側から左側へ電流を流させる。上側トランジスタ125、165は、基本的に、スイッチングトランジスタとして作用し、一方下側トランジスタ145、185はコイル190を介して流れる電流の大きさを支配する電流制御トランジスタとして作用する。上側トランジスタ125、165及び下側トランジスタ145、185を駆動する個別的な駆動回路について以下に説明する。

【0013】駆動回路110は上側トランジスタ125を駆動する。データ信号Xがコンデンサ112の一方のプレートへ結合され、且つデータ補元信号X<sub>̄</sub>がトランジスタ118のゲートへ結合される。尚、本明細書において、英文字記号の後にアンダーラインを付したものは英文字記号の信号の補元、即ち相補的な信号であることを表している。ノード120がトランジスタ118をトランジスタ116から分離させる。トランジスタ116のゲートが例えば8VのV<sub>DD</sub>電圧へ結合されている。このV<sub>DD</sub>電圧はダイオード114のアノードへ結合され、ダイオード114のカソードはコンデンサ112の第二プレートへ結合されると共にトランジスタ116のソースへ結合されている。

【0014】動作について説明すると、ダイオード114のアノードは一定の $V_{DD}$ 電圧へ結合している。従って、定常状態においては、ダイオード114のカソードへ結合されているコンデンサ112のプレートは $V_{DD}$  - ダイオードのスレッシュホールド電圧（典型的に、約0.7V）の電圧へ充電される。従って、 $V_{DD}$ 電圧が8Vである場合には、コンデンサ112の第二プレートは定常状態においては約7.3Vへ充電する。

【0015】定常状態において、信号Xが0の値を有しており且つ5Vへ変化すると仮定する。このことは、第一方向の磁束がコイル190によって書込まれるべき場合に発生する。定常状態においては、コンデンサ112の第二プレートは7.3Vの電圧にある。信号Xが0Vから5Vへ変化すると、コンデンサ112はそれが以前に有していたものと同一の電圧差、即ち7.3Vをプレート間において維持する。従って、信号Xが0Vから5Vへ変化すると同時に、コンデンサ112の第二プレートは約12.3Vへ上昇する。この電圧差はトランジスタ116をしてターンオンさせ且つノード120において12V近くの電圧が表れる。信号Xが0Vから5Vへ変化すると、信号 $X_{-}$ は5Vから0Vへ変化し、トランジスタ118をターンオフさせ、それによりノード120を基準電圧105Vから分離する。

【0016】抵抗122とダイオード124とが $V_{DD}$ 電圧とトランジスタ125のゲートとの間に結合されている。これらのコンポーネントは駆動回路110を介して発生するリーク電流を補充し、従って、データ信号Xが5Vにある全時間期間中に、トランジスタ125のゲートを $V_{DD}$  - ダイオード降下電圧より上の電圧に維持する。

【0017】駆動回路150は駆動回路110と同様の構成であるが、信号は相補的である。従って、駆動回路110、150のうちの一方がオンである場合には、他方がオフであり、且つその逆も又真である。

【0018】下側トランジスタ145、185も対称的な一対の駆動回路130及び170によって制御される。上述した駆動回路と同様に、駆動回路130は駆動回路170と相補的なデータ信号によって駆動され、従って駆動回路130、170のうちの一方がオンであると、他方がオフであり、且つその逆も又真である。

【0019】駆動回路130において、電流源140が直列してトランジスタ132及びダイオード接続されているトランジスタ134へ結合されている。データ信号Xはトランジスタ132のゲート及びトランジスタ136のゲートを駆動する。トランジスタ136のドレインはノード138へ結合されており、ノード138はダイオード接続されているトランジスタ134のドレイン及びゲートをトランジスタ145及びコンデンサ142を具備しているプルアップ回路6と結合している。プルアップ回路6はデータ信号 $X_{-}$ によって駆動される。

【0020】動作について説明すると、データ信号Xが0Vから5Vへ移行すると、トランジスタ136がターンオンし、ノード138を接地へ牽引する。データ信号Xは5Vにあるので、トランジスタ132はオフ状態を維持する。更に、コンデンサ142上に蓄積されている電荷はトランジスタ136を介して接地へ牽引される。従って、信号Xが0Vから5Vへ変化すると、下側トランジスタ145はオフする。

【0021】データ信号Xが0Vから5Vへ変化すると、データ信号 $X_{-}$ は5Vから0Vへ変化する。下側トランジスタ185のゲートを駆動する駆動回路170は駆動回路130とほぼ同一である。然しながら、それは反対の信号によって駆動される。特に、トランジスタ176及び172のゲートを駆動するのは $X_{-}$ データ信号であり、且つプルアップ回路8へ結合されるのはデータ信号Xである。ノード178がトランジスタ172のソース、トランジスタ174のドレイン及びゲート、トランジスタ176のドレイン、プルアップ回路8、トランジスタ185のゲートを結合している。

【0022】データ補元信号 $X_{-}$ が5Vから0Vへ変化すると、トランジスタ176がターンオフし、ノード178を接地電圧から分離する。トランジスタ172が導通状態を開始し、且つ電流が電流発生器180から流れる。発生された電流はトランジスタ172及びダイオード接続されているトランジスタ174を介して流れる。データ信号Xが0Vから5Vへ移行すると、プルアップ回路8がノード178における電圧を上昇させる。このことは、トランジスタ185を強くターンオンさせる。

【0023】上述したように、データ信号Xが0Vから5Vへ変化すると、上側トランジスタ125及び下側トランジスタ185の両方が強くオンされる。従って、電流がトランジスタ125を介して、トランジスタ190を横断して左側から右側へ、且つ下側トランジスタ185を介して接地へ流れる。他方のトランジスタ145及び165はこの時間期間中両方ともオフである。データ信号Xが5Vから0Vへ変化すると、その逆のことが成立する。即ち、上側トランジスタ165がターンオンし、コイル190を介して右側から左側へ且つトランジスタ145を介して接地へ向って電流が流れることを許容する。

【0024】オーバーシュートは、コイルにおける迅速な磁束逆転を開始させるためにデータ転送の開始時においてHブリッジ回路のコイルへ通常の電流よりも大きな電流が供給される条件である。このことはコイルの周りの磁界が典型的なHブリッジ回路におけるよりも一層迅速に方向をスイッチさせることを可能とさせる。オーバーシュートを具備するコイルにおいては磁束がより迅速に逆転することが可能であるので、従来のHブリッジ回路の場合よりもより多量のデータを記憶媒体へ書込むことが可能である。然しながら、オーバーシュートが強す

ぎることは欠点となる場合がある。何故ならば、過剰な電流が記憶媒体へ書込まれることが意図されたデータを上書きする場合があるからである。従って、ある時刻においてコイルを介して流れる電流の量を正確に制御するために、「プログラム可能」なオーバーシュートを具備するHブリッジ回路を有することが望ましい。

【0025】図2Aは図1のプルアップ回路6及び8として使用することの可能なプログラム可能な回路200を示している。プログラム可能な回路200内には3個のNORゲート210、220、230が設けられている。勿論、より多数の又はより少数のゲートを使用することも可能であり、ゲート数は、就中、後に説明するように、必要とされるプルアップブーストの量及びブーストの細分性によって決定される。NORゲート210、220、230の各々は一對の入力端を具備しており、その一方は夫々のプログラミング信号 $b_0^*$ 、 $b_1^*$ 、 $b_2^*$ に対するものであり、且つ他方はプログラム可能な回路200内の全てのNORゲートに共通のデータ信号に対するものである。NORゲート210からの出力はインバータ216へ結合され、該インバータの出力はコンデンサ218へ結合される。同様に、NORゲート220からの出力はインバータ226へ結合され、インバータ226の出力はコンデンサ228へ結合され、且つNORゲート230の出力はインバータ236へ結合され、インバータ236の出力はコンデンサ238へ結合される。NORゲートの代わりに、ORゲートとそれに続くインバータとを使用することが可能である。然しながら、好適実施例においては、インバータを構成するトランジスタの寸法は結合されるコンデンサを駆動するのに十分に大きいものであるように選択される。

【0026】コンデンサのプレートのうちの第一プレート上に与えられる例えば5Vのプルアップ電圧は該コンデンサの第二プレートを第一プレートの電圧に近い電圧へ牽引する傾向がある。第二プレートの電圧が第一プレートの電圧に向って移行する速度は、とりわけ、該コンデンサの容量値の関数である。

【0027】図2Aにおいて、インバータのうちのいずれかから出力されるプルアップ電圧は、プログラミング回路200の出力端250を例えば5Vのインバータのプルアップ電圧に向ってプルアップする傾向がある。出力端250が5Vへ向ってプルアップされる速度は5V電圧源へ結合されているコンデンサ218、228、238の全体的な容量及びその他のファクタに関連している。以下に説明するように、信号 $b_0^*$ 、 $b_1^*$ 、 $b_2^*$ は、コンデンサ218、228、238のうちの少なくとも1つ及び最大でその全てを出力端250へ結合させるべく選択される。出力端250へ結合される全容量の値がより高い場合には、より低い容量が適用される場合よりもより高速にプルアップ電圧に向ってプルアップさせることを可能とさせる。最大の柔軟性を可能とさせる

ために、コンデンサ218、228、238に対する容量値は二進重み付けがされており、従ってコンデンサ228はコンデンサ218の2倍の容量を有しており、且つコンデンサ238の容量の半分の容量を有している。

【0028】図2Bは、例えば、NORゲート210等のNORゲートのうちの1つ及びそれに対応するインバータ216の出力を示した表である。この表は、NORゲートへの $b_0^*$ 入力が1である場合には、そのNORゲート出力は常に0であり、且つデータ入力がどのような値であったとしても、そのインバータ出力信号は常に1であることを示している。従って、信号 $b_0^*$ はNORゲートをイネーブル即ち動作可能状態とさせるためには0でなければならない。信号 $b_0^*$ が0である場合には、NORゲートの出力はそのデータ信号の状態のみによって決定される。信号 $b_0^*$ によってイネーブルされると、NORゲートの出力は、データ信号が0である場合に1であり、且つその出力は、データ信号が0である場合に1である。同様に、NORゲートの出力は、インバータ出力が1である場合に、0であり、且つNORゲートの出力は、インバータ出力が0である場合に1である。

【0029】従って、出力端250において付加的なプルアップ電圧が必要とされる場合には、NORゲート210、220、230が選択的にイネーブルされて、出力端250をプルアップ電圧へ容量的に結合させ、従ってデータ信号が0Vから5Vへ移行する場合に、出力端250は所望の速度でプルアップ電圧に向ってプルアップされる。

【0030】図2CはNORゲートのうちのいずれがイネーブルされたかに依存して、出力端250とプルアップ電圧との間に結合される全体的な容量を示した表である。図2Cにおいては、インバータ216、226、236からの出力の8個の異なる可能性及び出力端250へ結合される全体的な容量が示されている。この例においては、コンデンサ218は2pFの値を有しており、コンデンサ228は4pFの値を有しており、コンデンサ238は8pFの値を有している。その他の容量値とすることが可能であるが、好適実施例においては、コンデンサを二進重み付けした関係に維持することが望ましい。

【0031】どのNORゲートもイネーブルされない場合には、出力端250へ選択された容量が結合されることはない。勿論、NORゲートを構成しているトランジスタにおける幾らかの寄生容量結合が存在しているが、意図的に出力端250へ結合される容量は存在しない。図1に示したブリッジ回路100においては、適切な回路動作のためにはプルアップ回路6において幾らかの付加的な容量が必要である。

【0032】再度図2Cを参照すると、全容量の8個の可能な組合せが示されている。インバータ216、22



6, 236のいずれもがプルアップ電圧を発生するものではない場合には、どのプルアップ容量も出力端250へ結合されることはない。インバータ216, 226, 236のうちの1つ又はそれ以上がプルアップ電圧へ結合されると、少なくとも2pFの容量及び最大で14pFの容量が出力端250とプルアップ電圧との間に結合される。例えば、インバータ216の出力端が5Vに向って牽引される場合には、出力端250は2pFの値を持ったコンデンサを介してプルアップ電圧へ結合される。インバータ236及び216の両方の出力がプルアップ電圧へ結合される場合には、10pFの容量が出力端250へ結合される。2の幕によって互いに関連付けられているコンデンサ218, 228, 238を有することによって、最適なブリッジ回路100の動作のためにプログラム可能な回路200をプログラミングすることを著しく容易なものとさせるために最小値と最大値との間の滑らかな変化とさせることが可能である。

【0033】プルアップ回路6及び8の両方の代わりにプログラム可能な回路200を包含するブリッジ回路100の動作について図1及び2を参照して説明する。ブリッジ回路100が上述した如く方向をスイッチすると、下側トランジスタのうちの一方145又は185は迅速にターンオンせねばならない。NMOSトランジスタを迅速にターンオンさせるために、スレッシユホールド電圧よりも高いゲート電圧が印加される。図1に示した6及び8のようなプルアップ回路又は図2Aに示したプログラム可能な回路200がない場合には、下側トランジスタ145又は185は適切な回路動作のために充分迅速にターンオンすることはない。プログラム可能な回路200をプルアップ回路6及び8と置換させることによって、書込ヘッド190を介して流れる最適な電流を選択するために柔軟性をディスクドライブの製造業者に与えている。

【0034】図1の駆動回路170を参照して、信号Xが0であり且つ信号X<sub>1</sub>が1であると仮定する。トランジスタ176がオンであり、ノード178を接地へ結合させ、且つ図2に示したコンデンサ218, 228, 238を放電させる。信号Xは0であるので、インバータ216, 226, 236の全ての出力も0である。

【0035】データ信号Xが0Vから5Vへ変化すると、信号X<sub>1</sub>は5Vから0Vへ変化する。この時に、その意図するところは、下側トランジスタ185のゲートを可及的速やかに高いゲート電圧で駆動することである。従って、信号b<sub>0</sub>\*, b<sub>1</sub>\*, b<sub>2</sub>\*の全てが0の入力を有しており、従ってNORゲート210, 220, 230をイネーブルさせるものと仮定する。データ信号X<sub>1</sub>が5Vから0Vへ変化すると、トランジスタ176はターンオフを開始し、一方トランジスタ172はターンオンを開始する。電流源180は電流の流れを低い値に維持し且つノード178において所望の電圧を達成すべ

く選択されている低い電流値を供給する。トランジスタ172が充分高くターンオンすると、ダイオード接続されているトランジスタ174もターンオンを開始する。トランジスタ176は最早オンしていないので、該ノードはフロートを開始する。

【0036】NORゲート210, 220, 230がイネーブルされるので、データ信号Xが0Vから5Vへ変化すると、インバータ216, 226, 236の各々の出力も高い値へ向って変化する。これらのインバータの出力はコンデンサ218, 228, 238の各々の第一プレートへ印加され、それらのコンデンサの第二プレートは出力端250へ結合されており、出力端250は、この例においては、ノード178でもある。

【0037】短い過渡の状態の間、プルアップ電圧は該コンデンサの第二プレートを高い値に向って牽引することを開始する。コンデンサ218, 228, 238は短絡回路のように見える。第一プレート上の電圧はすぐに第二プレートへ転送される。従って、コンデンサによって高周波数信号として見えるこの過渡的信号に対し、出力線250、従って、ノード278上の値はイネーブルされたインバータ216, 226, 236の出力に追従する。ノード178が高い値に向って牽引されるので、トランジスタ185のゲートは高状態へ移行し、トランジスタ185をターンオンさせる。従って、トランジスタ185はターンオン信号として高い値の過渡的パルスを受取る。好適実施例においては、インバータ216等の出力は5Vに向って移行する。それは、勿論、所望の速度で例えば8V、3V等の所望の電圧へ移行すべく選択することが可能である。

【0038】然しながら、ノード178が高状態へ牽引されると、二次的なファクタが発生しノード178上の電圧は減少される。過渡的な効果はNORゲート210, 220, 230によってイネーブルされるコンデンサの値によって決定されるレートで減少される。より長い影響の場合には、より高いコンデンサの値がイネーブルされ、より短い影響の場合には、低いもののみ、例えばコンデンサ218に対するNORゲート210のみがイネーブルされる。従って、ブースト回路182からの高電圧過渡的信号は、どのゲートがイネーブルされるかの選択に依存してプログラム可能なレートで減少される。この二次的ファクタはダイオード結合されているトランジスタ174であり、それはトランジスタ172と共に分圧器として動作する。究極的には、ダイオード結合されているトランジスタ174はトランジスタ174及び172のスレッシユホールド及びトランジスタ180からの電流に基づく値の静的な電圧に向ってノード178をプルダウンさせる。通常、それは、例えば、僅かに2Vを超える中間電圧である。

【0039】好適実施例においては、プログラム可能な回路200はトランジスタ185のゲートへ印加される

電圧が0で開始し、5Vへ向って進行し、且つトランジスタ174及び172の分圧回路によって設定される安定な2.2Vへプルダウンされることを開始する前に3.5乃至4.5Vの値に到達することを可能とさせる。このプログラム可能な回路200は、トランジスタ185のゲート上の電圧がプログラム可能な回路200が存在しなかった場合におけるよりも一層迅速に変化することを可能とするばかりか、それは、又、ドレインされる前の時間の間、このゲート電圧をトランジスタ185のゲート上に保持する。上述したように、NORゲート210、220、230の種々のものをイネーブルさせることによって、最大のプルアップ電圧及びプルアップ電圧をドレインさせるレートがディスクドライブ製造業者によって選択することが可能である。

【0040】図3は図1及び2に関して説明した本発明の実施例からのシミュレーション結果を示している。このグラフは、磁気媒体へデータが書込まれる時間期間中にmAの単位でコイル190を介して流れる電流を示している。図3において、図2Cに示したプログラム可能な回路200の7個の許容可能なプログラム設定に対応して7個の別個の波形が示されている。ブリッジ回路100はプログラム可能な回路200の出力端250へ外部容量が印加されない限り動作しないので、容量が付加されていない場合の波形はグラフから省略してある。他の7個の可能性が図3において示されている。

【0041】図7に示した波形に対する容量値は論理的な展開を維持している。最も低いピーク電流(41mA)を示す波形は、2pFのみがプログラム可能な回路200の出力端250へ与えられた場合の条件である。出力端250は下側トランジスタ145又は185(図1)のうちの一方へ直接的に結合されるので、低い容量値を有するということは、夫々のトランジスタを非常に強くターンオンすることが不可能であり、従って、コイル190を介して殆どピーク電流が流れることがないことを意味している。最も高いピーク電流(112mA)を示す波形は、NORゲート210、220、230の全てがイネーブルされ、14pFを出力端250へ結合させた条件である。これは、プログラム可能な回路200のデータ入力1へ遷移する場合に出力端250を強くプルアップさせ、従って夫々の下側トランジスタ145、185をターンオンさせ且つコイル190を介して高いピーク電流を送給する。

【0042】然しながら、コイル190は純粋なインダクタとして動作するものではなく、上側トランジスタ125、165及び下側トランジスタ145、185の寄生容量に起因して、RC回路のように動作する。このことは、コイル190を介して送られる電流を、それが究極的に固定状態となる前に、振動させる。それが最終的に固定する値は、図3における全ての波形が最終的に同一の値に安定化することによって証明されるように、ブ

ログラム可能な回路200によってブリッジ回路100へ付加される付加的な容量と関連しているものではない。その代わりに、上述したように、この安定な電圧値はダイオード結合されているトランジスタ134及び174の抵抗値によって決定される。

【0043】プログラム可能な回路200を包含するディスクを製造する後の段階期間中に、最適な値が決定されるまで、ディスクドライブを種々の全容量値でテストされる。次いで、プログラミング信号を発生させる適切なコードが例えばEPROM又はEEPROM等の非揮発性メモリ内に永久的に格納される。ディスクドライブがターンオンされると、これらの信号はプログラム可能な回路200へ供給され、該回路はNORゲートのうちの1つ又はそれ以上のものをイネーブルさせる。好適実施例においては、プログラム可能な回路200は製造時に決定される設定されたパラメータに従って、通常それが最初に電力が供給される場合であるディスクドライブが初期化される時にプログラムされる。プログラム可能な回路200の出力端250へ印加する容量の最適な値はディスクドライブ400の経年変化と共に変化する場合がある。プログラム可能な回路200を包含するディスクドライブが取付けられているコンピュータ上で稼動されるべき診断プログラムを包含させることによって、この最適な容量値はディスクドライブの寿命全体にわたってアップデートさせることが可能である。例えば、該プログラムは、ディスクドライブ内の回路を指示して、書込コイル190の出力を測定させることが可能である。新たな最適な容量値を選択し且つ非揮発性メモリへ格納させることが可能である。この診断プログラムはオペレータの選択により頻繁に稼動させることが可能である。プログラム可能な回路200をプログラミングする場合のより詳細について図4を参照して説明する。

【0044】図4は例えばコンピュータ(不図示)においてデータを格納するために使用することの可能なディスクドライブ(ディスク駆動装置)の模式図である。ディスクドライブ400は、スピンドル404を回転させるためのモータ402を有しており、スピンドル404は格納媒体のプレート406を回転させる。図4においては4個のプレート406が示されているが、当該技術分野において公知の如くより多くのプレート又はより少ないプレートを使用することが可能である。モータ制御器420がRAMインターフェース422から信号を受取り且つこれらの信号を使用してモータ402を制御する。

【0045】ディスクドライブ400は、更に、多数の支持アーム410を支持するアクチュエータ408を包含している。支持アーム410の数は、通常、ディスクドライブ400内に設けられるプレート406の数の2倍であるが、より多くの又はより少ない数の支持アーム410を使用することが可能である。各支持アーム41

0の端部には、夫々のプレート406へデータを書込むために使用される書込ヘッド412及び該プレートからデータを読取るために使用される読取ヘッド414が設けられている。当該技術分野において公知の如く、書込ヘッド412及び読取ヘッド414は1個の読取/書込ヘッド（不図示）として実現することが可能である。通常、プレート406は両側に磁気格納媒体を有しており、従って全てのプレート406の片側近くには1個の読取ヘッド412と1個の書込ヘッド414とが位置決めされる。動作においては、ヘッド412、414は回転するプレート406の非常に近くに空気クッションを介してフロートする。

【0046】ディスクドライブ400内にはROMメモリを具備するマイクロプロセサ430が設けられている。マイクロプロセサ430はRAMインターフェースユニット422からの信号を受取る。インターフェースユニット422はコンピュータシステム（不図示）から制御信号及びデータ信号を受取る。インターフェースユニット422は、典型的に、当該技術分野において公知の如く、例えばPCI又はSCSIバス（不図示）等のバスを介してコンピュータシステムへ結合されている。マイクロプロセサ430はシリアルインターフェース440を介して前置増幅器444へ結合されている。前置増幅器444は当該技術分野において公知のその他の回路434と共にディスクドライブ400における書込ヘッドの各々に対し図2に示したプログラム可能回路200を包含する図1のブリッジ回路100を包含している。前置増幅器444は通信経路448によって各書込ヘッド412へ結合されている。

【0047】ディスクドライブ400が製造されると、ディスクドライブはプログラム可能な回路200のどの形態（図2C）が適切なデータ転送のために最適な結果を提供するかを判別するためにテストが行われる。次いで、この形態がマイクロプロセサ430のROM内に格

納される。ディスクドライブ400が初期化されると、マイクロプロセサ430のROMメモリ内に格納されているコードがシリアルバス444を介して前置増幅器444へ送られ、プログラム可能な回路200の適切なNORゲートをイネーブルさせる。イネーブルされると、ディスクドライブ400のヘッド412は、データがディスクドライブへ書込まれる場合にそれらの最適なレベルで動作する。

【0048】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

#### 【図面の簡単な説明】

【図1】 磁気書込ヘッドのコイルを駆動するためのHブリッジ回路を示した概略図。

【図2A】 図1に示したHブリッジ回路において使用されるプログラム可能な回路を示した概略図。

【図2B】 図2Aのプログラム可能な回路の異なる出力を示した説明図。

【図2C】 図2Aのプログラム可能な回路の異なる出力を示した説明図。

【図3】 本発明の1実施例のシミュレーション出力を示したグラフ図。

【図4】 本発明の1実施例を包含するディスクドライブの模式図。

#### 【符号の説明】

100 ブリッジ回路

110, 130, 150, 170 駆動回路

125, 165 上側トランジスタ

145, 185 下側トランジスタ

190 コイル

200 プログラム可能な回路

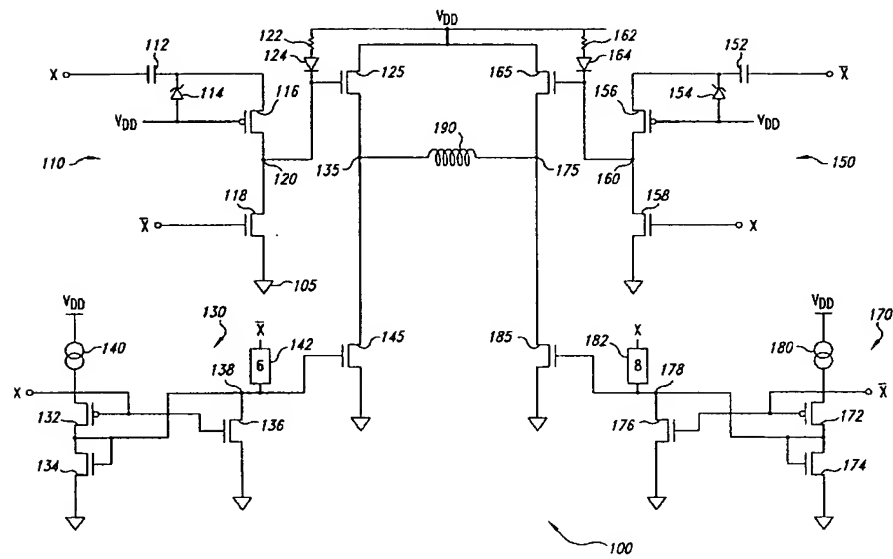
【図2B】

$b_x^*$	data	NORゲート 出力	インバータ 出力
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

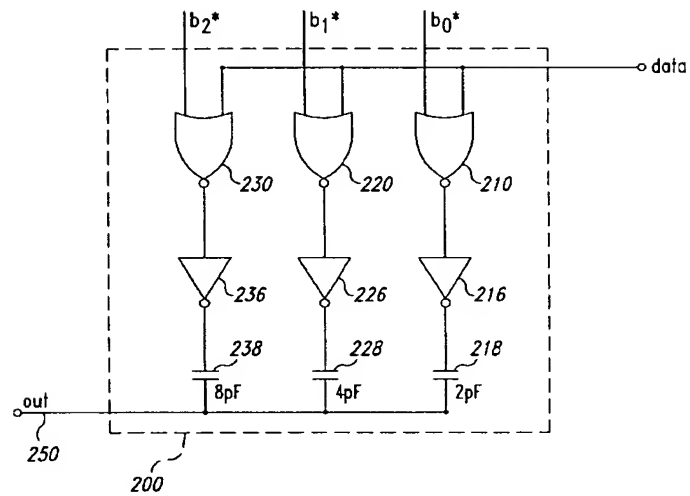
【図2C】

236 output	226 output	216 output	全ブルアップ 容量
0	0	0	0
0	0	1	2 pF
0	1	0	4 pF
0	1	1	6 pF
1	0	0	8 pF
1	0	1	10 pF
1	1	0	12 pF
1	1	1	14 pF

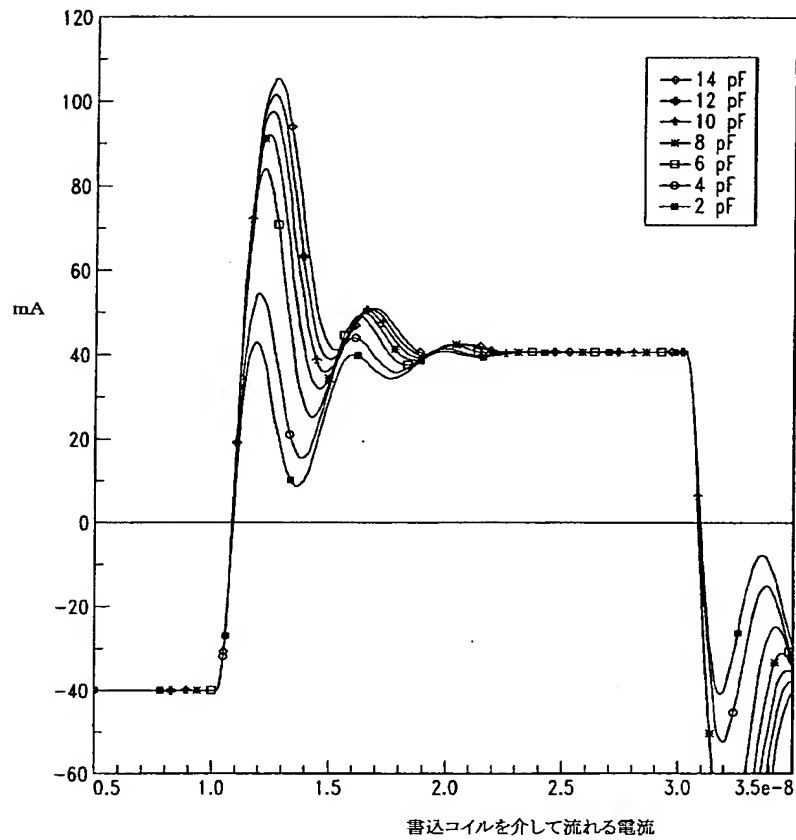
【図 1】



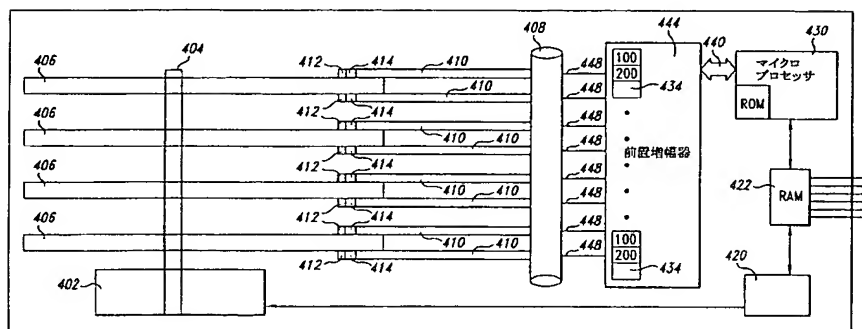
【図 2 A】



【図 3】



【図 4】



400

**THIS PAGE BLANK (USPTO)**